

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Susumu SHIBATA, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: LIQUID CRYSTAL DISPLAY DEVICE AND DRIVE CIRCUIT DEVICE FOR

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2000-278766	September 13, 2000

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
 - ☐ are submitted herewith
 - ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland

Registration Number 21,124



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 10/98)



日 本 国 特 許 庁
JAPAN PATENT OFFICE

jc872 U.S. PTO
09/942542
08/31/01

- 別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2000年 9月13日

出 願 番 号
Application Number:

特願2000-278766

出 願 人
Applicant(s):

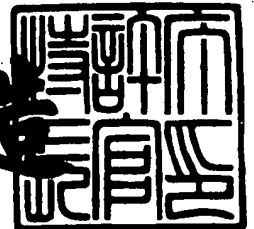
株式会社アドバンスト・ディスプレイ

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 5月25日

特許庁長官
Commissioner,
Japan Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 A200052901

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/36

【発明者】

 【住所又は居所】 熊本県菊池郡西合志町御代志 9 9 7 番地 株式会社アド
 バンスト・ディスプレイ内

 【氏名】 柴田 晋

【発明者】

 【住所又は居所】 熊本県菊池郡西合志町御代志 9 9 7 番地 株式会社アド
 バンスト・ディスプレイ内

 【氏名】 三宅 史郎

【特許出願人】

 【識別番号】 595059056

 【氏名又は名称】 株式会社アドバンスト・ディスプレイ

【代理人】

 【識別番号】 100103894

 【弁理士】

 【氏名又は名称】 家入 健

【手数料の表示】

 【予納台帳番号】 106760

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 液晶表示装置及びその駆動用回路装置

【特許請求の範囲】

【請求項 1】

階調表示するための画像データを入力し、液晶表示を実行する液晶表示装置であって、

画像データを入力する画像データ入力手段と、

前記画像データ入力手段に入力された画像データに基づき当該画像データのビット数よりも少ないビット数の画像データを記憶する画像データ記憶手段と、

前記画像データ入力手段に入力された現在の画像データを前記画像データ記憶手段に記憶された過去の画像データとに基づいて補正し、補正データを生成する補正データ生成手段と、

前記補正データを入力し、液晶を駆動する液晶駆動手段とを有する液晶表示装置。

【請求項 2】

前記画像データ記憶手段は、前記画像データ入力手段に入力された画像データの上位ビットを抽出することにより表示階調ビット数よりも少ないビット数の画像データを記憶することを特徴とする請求項 1 記載の液晶表示装置。

【請求項 3】

前記補正データ生成手段は、過去の画像データと、現在の画像データと、補正データを関連付けた参照テーブルを有し、当該参照テーブルを用いて補正データを生成することを特徴とする請求項 1 又は 2 記載の液晶表示装置。

【請求項 4】

前記画像データ記憶手段において記憶する画像データのビット数を当該液晶表示装置の階調データと表示輝度特性に基づき設定することを特徴とする請求項 1、2 又は 3 記載の液晶表示装置。

【請求項 5】

前記補正データ生成手段に設けられた参照テーブルを当該液晶表示装置の階調データと表示輝度特性に基づき設定することを特徴とする請求項 3 又は 4 記載の

液晶表示装置。

【請求項 6】

前記補正データ生成手段は、前記画像データ記憶手段に記憶された画像データのビット数と同じビット数を有する補正データを生成し、

前記液晶表示装置は、さらに、前記補正データ生成手段より生成された補正データと現在の画像データの全部又は一部のデータとに基づき、当該現在の画像データと同じビット数の補正データを生成し前記液晶駆動手段に出力する演算手段を有することを特徴とする請求項 1、2、3、4 又は 5 記載の液晶表示装置。

【請求項 7】

前記補正データ生成手段は、前記画像データ記憶手段に記憶された画像データのビット数以上で表示階調ビット数よりも少ないビット数分の現在の画像データの上位ビットを入力し、補正データを生成することを特徴とする請求項 6 記載の液晶表示装置。

【請求項 8】

前記演算手段は、前記画像データ入力手段に入力された現在の画像データのビット数から前記補正データ生成手段において生成した補正データのビット数を差し引いた数分の現在の画像データの下位ビットを入力し、前記補正データを生成することを特徴とする請求項 6 又は 7 記載の液晶表示装置。

【請求項 9】

前記液晶表示装置は、RGB データよりなる画像データを Y u v データに変換する第 1 のデータ変換手段と、Y u v データを RGB データに変換する第 2 のデータ変換手段とをさらに備え、

前記第 1 のデータ変換手段は、前記画像データ入力手段に入力された画像データを Y u v データに変換し、前記画像データ記憶手段に出力し、

前記画像データ記憶手段は、第 1 のデータ変換手段により変換された Y u v データを記憶し、

前記第 2 のデータ変換手段は、前期画像データ記憶手段に記憶された Y u v データを過去の画像データとして前記補正データ生成手段に出力することを特徴とする請求項 1、2、3、4 又は 5 記載の液晶表示装置。

【請求項 1 0】

階調表示するための画像データを入力し、液晶表示を実行する液晶表示装置用の駆動用回路装置であって、

前記画像データを入力する画像データ入力手段と、

前記画像データ入力手段に入力された画像データに基づき当該画像データのビット数よりも少ないビット数の画像データを記憶する画像データ記憶手段と、

前記画像データ入力手段に入力された現在の画像データを前記画像データ記憶手段に記憶された過去の画像データとに基づいて補正し、補正データを生成する補正データ生成手段と、

前記補正データを入力し、液晶を駆動する液晶駆動手段とを有する駆動用回路装置。

【発明の詳細な説明】

【0 0 0 1】

【発明が属する技術分野】

本発明は、液晶表示装置に関し、特に現在の画像データと過去の画像データを比較し、補正データを生成し、その補正データにより液晶を駆動する液晶表示装置に関する。

【0 0 0 2】

【従来の技術】

通常のアクティブマトリクス型液晶表示装置では、1画面の走査期間（1フレーム）は50Hzから75Hz程度である。一方、液晶分子の光学応答は数十msの時間を要する。このため液晶表示装置にTV等の動画を表示させた場合は液晶表示装置の表示データの変化に液晶応答が追従できずに残像が発生する不具合があった。

【0 0 0 3】

従来、これらの残像に対する対策の一つとして液晶分子の応答速度の印加電圧依存性に着目した対策方法が行われてきた。図11に液晶印加電圧と液晶応答（輝度変化）との関係の模式図を示す。図は液晶に電圧が印加されない状態では白表示となるノーマリーホワイトモードの液晶表示装置である。図の縦軸は、液晶

印加電圧と輝度を示し、横軸は時間を示している。この例では、液晶印加電圧の変化が V_x のときの輝度変化を B_x とし、液晶印加電圧の変化が V_y のときの輝度変化を B_y としている。また、時刻 t_1 より前は、前フレームの画像データである前画像データを示し、時刻 t_1 より後は、現在表示しようとしている画像データである現在画像データを示している。

【 0 0 0 4 】

図において、液晶印加電圧の変化が V_x の場合、時刻 t_1 を境に前画像データに対応した電圧から現画像データに対応した電圧に変化することに伴い、輝度変化 B_x は、時刻 t_2 に所望の輝度に達する。他方、液晶印加電圧の変化が V_y の場合、時刻 t_1 に前画像データに対応した電圧から現在画像データに従って電圧に変化することに伴い、輝度変化 B_y は、時刻 t_3 に所望の輝度に達する。図に示されるように、時刻 t_1 から時刻 t_2 までの時間よりも時刻 t_1 から時刻 t_3 までの時間の方が長く、液晶印加電圧の変化量の大きい V_x の方が、 V_y よりも所望の輝度に達するのが早い。これより、液晶印加電圧が変化することにより液晶が応答を始めてから応答が完了するまでの時間は、液晶印加電圧の変化量が大きいほど速いことが判る。すなわち、黒白間の液晶応答は、中間調間の液晶応答に比べて速い。

【 0 0 0 5 】

次に中間調間の液晶応答を改善する方法について説明する。図 1 2 は、液晶印加電圧と液晶応答(輝度変化)との関係の模式図である。この図に示されるように、暗い中間調から明るい中間調へ変化する場合は変化後の定常電位より低い電圧を一時的に印加して液晶の光学応答を速くしている。この例では、通常の液晶印加電圧の変化を V_y とし、改善方法による液晶印加電圧の変化を V_z としている。液晶印加電圧の変化が V_y のときの輝度変化を B_y とし、液晶印加電圧の変化が V_z のときの輝度変化を B_z としている。また、時刻 t_1 より前は、前画像データを示し、時刻 t_1 より後は、現在画像データを示している。

【 0 0 0 6 】

図において、液晶印加電圧の変化が V_y の場合、時刻 t_1 に前画像データに対応する電圧から現在画像データに対応する電圧に変化することに伴い、輝度変化

B_yは、時刻 t₃₁に所望の輝度に達する。他方、液晶印加電圧の変化がV_zの場合、時刻 t₁に前画像データに対応する電圧から現在画像データに対応する電圧に変化することに伴い、輝度変化B_zは、時刻 t₃₂において所望の輝度に達する。図に示されるように、時刻 t₁から時刻 t₃₁までの時間よりも時刻 t₁から時刻 t₃₂までの時間の方が短く、改善方法による電圧の印加方法を適用した方がより所望の輝度に達するのが早い。

【 0 0 0 7 】

明るい中間調から暗い中間調へ変化する場合は、変化後の定常電位より高い電圧を一時的に印加して液晶の光学応答を速くしている。このように液晶印加電圧を補正することにより、中間調間の液晶応答性を改善することができる。

【 0 0 0 8 】

このように現画像データと1画面前の画像データとの関係から、現画像データに対応する液晶印加電圧を補正するために、1画面前のデータを保存し、保存されたデータと現画像データを比較して、液晶印加電圧を決定する液晶駆動方法及び液晶表示装置について、特許第2616652号公報に紹介されている。この公報に示される、中間調間の液晶応答の改善方法を適用した液晶表示装置の具体的構成について図を用いて以下に説明する。図13の例では解像度がXGA(1024×3×768)であり、256階調表示の液晶表示装置の信号処理に係る部分のみ記載している。図13において、1はタイミングコントローラ、2はタイミングコントローラ1からの画像データ12を入力し記憶するフレームメモリ、3はタイミングコントローラ1から現画像データ14を入力するとともに、フレームメモリ2から前画像データ13を入力し、両データを比較し、補正データを生成するデータ比較／補正データ生成手段である。4はデータ比較／補正データ生成手段3から出力された補正データ及び制御信号16に基づき、液晶パネル6の信号線を駆動する信号線駆動回路である。5は制御信号17に基づき液晶パネル6の走査線を駆動する走査線駆動回路である。6は液晶パネルであり、TFT(Thin Film Transistor)液晶パネル等のアクティブマトリックス型の液晶パネルである。

【 0 0 0 9 】

次に動作について説明する。液晶表示装置に入力されたクロック信号(CLK)、水平同期信号(HD)、垂直同期信号(VD)、データ期間規定信号(DENA)、データ信号(RGB DATA)等の信号 1 1 は、タイミングコントローラ 1 に入力される。タイミングコントローラ 1 から、RGB 各 8 ビットからなる画像データ 1 2 がフレームメモリ 2 に入力される。フレームメモリ 2 にはタイミングコントローラ 1 から入力された前フレームの表示のために用いられた画像データ(前画像データ)が保存されている。タイミングコントローラ 1 は、信号線駆動回路 4、走査線駆動回路 5 を制御する制御信号 1 6、1 7 を各駆動回路 4、5 に出力する共に、データ比較／補正データ生成手段 3 に現画像データ 1 4 を出力する。

【0 0 1 0】

データ比較／補正データ生成手段 3 は、フレームメモリ 2 より転送された前画像データ 1 3 とタイミングコントローラ 1 より入力された現画像データ 1 4 を比較し、補正したデータを生成して信号線駆動回路 4 に出力している。信号線駆動回路 4 では入力された、RGB 各 8 ビットからなる補正データ 1 5 に対応した液晶印加電圧を液晶パネル 6 に供給する。

【0 0 1 1】

このように、データ比較／補正データ生成手段 3 において、前画像データ 1 3 と現画像データ 1 4 を比較して補正データを生成するためには、各画素の前面像データを保存するフレームメモリが必要であった。また、データ比較／補正データ生成手段 3 としては、液晶印加電圧を補正するために、前画像データと現画像データとの関係から補正データを読み取るためのルックアップテーブルを設ける方式や、前画像データと現画像データとの関係から演算にて補正データ決定する方式があった。また、データ比較／補正データ生成手段 3 は、タイミングコントローラ 1 内部に取り込むこともあった。

【0 0 1 2】

また、このような従来の技術を開示するその他の文献として、特開平 5 - 1 8 3 7 4 3 号公報、特開平 5 - 3 3 6 3 7 6 号公報、特開平 1 0 - 1 4 3 1 1 1 号公報及び特開平 1 1 - 3 3 8 4 2 4 号公報がある。

【0 0 1 3】

【発明が解決しようとする課題】

従来の液晶表示装置では、1画面分の画像データをすべて保存するためには画素数×階調数の容量のフレームメモリが必要である。図13の例では、解像度がXGA（1024×3×768）、RGB各8ビット表示であるため、画像データをすべて保存するためには、

$$1024 \times 3 \times 768 \times 8 = 3 \times 6 \text{Mビット} = 18 \text{Mビット}$$

の容量が必要となり、実使用上は8Mビットメモリを3個または24Mビットまたは32Mビットメモリを1個使用することとなる。

【0014】

また、データ比較／補正データ生成手段として前面像データと現画像データとの関係から補正データを読み取るためのルックアップテーブルを使用した場合、前画像データRGB各8ビットと現画像データRGB各8ビットを比較し、補正データとしてRGB各8ビットを生成するためには、ルックアップテーブルの容量としては、

$$3 \times 256 \times 256 \times 8 = 3 \times 512 \text{Kビット} = 1.5 \text{Mビット}$$

の容量が必要となり、実使用上は512Kビットメモリを3個または2Mビットメモリを1個使用することとなる。

【0015】

このように、従来の液晶表示装置では、大きなメモリ容量を必要としていた。さらに、液晶表示装置は高解像度化が進んでおり、必要なメモリの容量は増加する一方である。

【0016】

よって本発明の目的は、液晶表示装置において、補正データ作成のためのメモリ容量を削減することである。

【0017】

【課題を解決するための手段】

第1の発明にかかる液晶表示装置は、階調表示するための画像データを入力し、液晶表示を実行する液晶表示装置であって、画像データを入力する画像データ入力手段（例えば、本実施の形態におけるタイミングコントローラ1）と、画像

データ入力手段に入力された画像データに基づき当該画像データのビット数よりも少ないビット数の画像データを入力し記憶する画像データ記憶手段（例えば、本実施の形態におけるフレームメモリ 2）と、この画像データ入力手段に入力された現在の画像データを画像データ記憶手段に記憶された過去の画像データとに基づいて補正し、補正データを生成する補正データ生成手段（例えば、本実施の形態におけるデータ比較／補正データ生成手段 3）と、この補正データを入力し、液晶を駆動する液晶駆動手段（例えば、本実施の形態における信号線駆動回路 4）とを有するものである。

【 0 0 1 8 】

第 2 の発明にかかる液晶表示装置は、第 1 の発明において、画像データ記憶手段を前記画像データ入力手段に入力された画像データの上位ビットを抽出することにより表示階調ビット数よりも少ないビット数の画像データを記憶するものとしたものである。

【 0 0 1 9 】

第 3 の発明にかかる液晶表示装置は、第 1 又は第 2 の発明において、補正データ生成手段が過去の画像データと、現在の画像データと、補正データを関連付けた参照テーブル（例えば、本実施の形態におけるルックアップテーブル）を有し、この参照テーブルを用いて補正データを生成することとしたものである。

【 0 0 2 0 】

第 4 の発明にかかる液晶表示装置は、第 1、第 2 又は第 3 の発明において、画像データ記憶手段にて記憶する画像データのビット数を当該液晶表示装置の階調データと表示輝度特性に基づき設定することとしたものである。

【 0 0 2 1 】

第 5 の発明にかかる液晶表示装置は、第 3 又は第 4 の発明において、補正データ生成手段に設けられた参照テーブルを当該液晶表示装置の階調データと表示輝度特性に基づき設定するものである。

【 0 0 2 2 】

第 6 の発明にかかる液晶表示装置は、第 1、第 2、第 3、第 4 又は第 5 の発明において、補正データ生成手段を画像データ記憶手段に記憶された画像データの

ビット数と同じビット数を有する補正データを生成するものとし、さらに、補正データ生成手段より生成された補正データと現在の画像データの全部又は一部のデータとに基づき、当該現在の画像データと同じビット数の補正データを生成し液晶駆動手段に出力する演算手段を設けたものである。

【 0 0 2 3 】

第 7 の発明にかかる液晶表示装置は、第 6 の発明において、補正データ生成手段を、画像データ記憶手段に記憶された画像データのビット数以上で表示階調ビット数よりも少ないビット数分の現在の画像データの上位ビットを入力し、補正データを生成するものである。

【 0 0 2 4 】

第 8 の発明にかかる液晶表示装置は、第 6 又は第 7 の発明において、演算手段を、画像データ入力手段より入力された現在の画像データのビット数から補正データ生成手段において生成した補正データのビット数を差し引いた数分の現在の画像データの下位ビットを入力し、補正データを生成することとしたものである。

【 0 0 2 5 】

第 9 の発明にかかる液晶表示装置は、RGB データよりなる画像データを Y u v データに変換する第 1 のデータ変換手段と、Y u v データを RGB データに変換する第 2 のデータ変換手段とをさらに備え、第 1 のデータ変換手段は、前記画像データ入力手段に入力された画像データを Y u v データに変換し、前記画像データ記憶手段に出力し、画像データ記憶手段は、第 1 のデータ変換手段により変換された Y u v データを記憶し、第 2 のデータ変換手段は、前期画像データ記憶手段に記憶された Y u v データを過去の画像データとして前記補正データ生成手段に出力することとしたものである。

【 0 0 2 6 】

第 1 0 の発明にかかる駆動用回路装置は、階調表示するための画像データを入力し、液晶表示を実行する液晶表示装置用の駆動用回路装置であって、画像データを入力する画像データ入力手段と、この画像データ入力手段に入力された画像データに基づき当該画像データのビット数よりも少ないビット数の画像データを

記憶する画像データ記憶手段と、画像データ入力手段に入力された現在の画像データを画像データ記憶手段に記憶された過去の画像データとに基づいて補正し、補正データを生成する補正データ生成手段と、補正データを入力し、液晶を駆動する液晶駆動手段とを有するものである。

【 0 0 2 7 】

【発明の実施の形態】

最初にこの発明の概要について説明する。一般に、動画のように表示画面の輝度の時間的変化が速い表示では、輝度の変化量が小さい場合、人の目の輝度分解能は低く、近い階調間の変化に対しては鈍感である。そこで本発明の実施の形態における発明では、この人の目の輝度分解能に着目し、前述した従来技術の課題を解決する。

【 0 0 2 8 】

この手法では、フレームメモリに保存する前画像データのビット数を、例えば表示階調ビットの上位ビットを用いることにより、液晶表示装置の表示階調のビット数より少なくし、メモリ容量を低減し、コストを削減する。保存する前画像データのビット数は、液晶表示装置の階調－輝度特性より決定する。図1に液晶表示装置の階調－輝度特性を示す。図中△で示した点の内、255階調の点以外の点は8ビットデータの内、下位3ビットが0となる点であり、すなわち上位5ビットのみ使用した場合の階調－輝度特性を示す点である。換言すると、△で示した点は、上位5ビットのみを使用した場合に表すことができる画像データを示す。具体的には、「00000000」、「00001000」、「00010000」、「00011000」～「11100000」、「11101000」、「11110000」、「11111000」の離散的なデータである。図中○で示した点の内、255階調の点以外の点は8ビットデータの内、下位2ビットが0となる点であり、すなわち上位6ビットのみ使用した場合の階調－輝度特性を示す点となる。具体的には、「00000000」、「00000100」、「00001000」、「00001100」～「11110000」、「11110100」、「11111000」、「11111100」の離散的なデータである。△、○の同一階調に対する輝度の違いは階調と輝度の関係を表す

γ 値の違いであり、 $\gamma(\Delta) < \gamma(O)$ である。ここで、輝度は、階調の γ 乗と表すことができる。この例では、 $\gamma(\Delta) = 1.8$ 、 $\gamma(O) = 2.8$ と仮定した。

【0029】

図1中の円で囲んだ部分を拡大したものを図2に示す。図2では各 γ 値での240階調と248階調との輝度差を示している。 $\gamma = 1.8$ 場合、輝度差は5.5%であるが、 γ の値が大きくなると輝度差が大きくなり、 $\gamma = 2.8$ では輝度差が8.3%に増加する。この傾向は明るめの階調で顕著である。このように γ が小さい場合は上位4ビットまたは5ビットと処理数を小さくしても表示上問題ないと考えられるが、 γ が大きい場合、輝度差が大きくなり処理するビット数が小さいと表示が不自然に感じられる可能性がある。このような場合上位6ビットあるいは7ビットを処理する。以上のように γ 値が大きい場合は保存、処理するビット数を大きくして表示を最適化し、 γ 値が小さい場合は、保存、処理するビット数を小さくしてより消費電力を低減する。

【0030】

第2の手法では γ 値が可変であるような液晶表示装置の場合、現在の γ 値情報をもとに保存、処理するデータのビット数を変化させて、 γ 値が大きい場合は保存、処理するビット数を大きくして表示を最適化し、 γ 値が小さい場合は、保存、処理するビット数を小さくしてより消費電力を低減する。

【0031】

発明の実施の形態1.

図3に本実施の形態のブロック図を示す。図3の例では解像度がXGA(1024×3×768)、256階調表示の液晶表示装置の信号処理に関する部分のみ記載している。タイミングコントローラ1、フレームメモリ2、データ比較／補正データ生成手段3の基本動作は従来例と同様である。しかし、タイミングコントローラ1からフレームメモリ2に転送される画像データ12のデータ数はRGB各8ビットの内上位5ビットのみである。例えば、画像データが「11011001」である場合には、「11011」のみ転送される。

【0032】

このような画像データの転送を実現するため、タイミングコントローラ1は、

フレームメモリ 2 に現画像データ 1 2 のうち RGB 各上位 5 ビットを出力する。フレームメモリ 2 はこの現画像データ 1 2 の RGB 各上位 5 ビットを入力し、所定の記憶領域に記憶する。タイミングコントローラ 1 は、RGB 各 8 ビットの現画像データ 1 4 をデータ比較／補正データ生成手段 3 に転送する。タイミングコントローラ 1 は、この RGB 各 8 ビットの現画像データ 1 4 を入力するとともに、フレームメモリ 2 より所定の記憶領域に記憶されている RGB 各上位 5 ビットの前画像データ 1 3 を読み出す。

【 0 0 3 3 】

データ比較／補正データ生成手段 3 は、前画像データ 1 3 と現画像データ 1 4 に基づき RGB 各 8 ビットの補正データ 1 5 を生成する。この生成方法については、後に詳述する。補正データ 1 5 はタイミングコントローラ 1 から出力された制御信号 1 6 とともに信号線駆動回路 4 に入力され、液晶パネル 6 の信号線を駆動する。タイミングコントローラ 1 から制御信号 1 7 が走査線駆動回路 5 に入力され、これにより液晶パネル 6 の走査線が駆動される。

【 0 0 3 4 】

このような構成により、補正データを生成するために必要なフレームメモリ容量は、 $1024 \times 3 \times 768 \times 5 = 3 \times 3.75 \text{ Mビット} = 11.25 \text{ Mビット}$ となり、従来に比べて、メモリ容量が低下でき、実使用上は 16 Mビットメモリ 1 個での対応が可能となる。3 個のメモリを使用する場合でもその容量は 4 Mビットでよく、従来に比べてコストダウンが図ることができる。また、タイミングコントローラ 1、フレームメモリ 2 間のバスライン数を 24 本から 15 本に削減できるため、これらデバイスを搭載する回路基板の規模を縮小できると共に、設計の自由度も向上する。

【 0 0 3 5 】

データ比較／補正データ生成手段 3 として前面像データと現画像データとの関係から補正データを読み取るためのルックアップテーブルを使用した場合を、図 4 及び図 5 を用いて説明する。図 4 は、ルックアップテーブルの例を示したものである。このルックアップテーブルでは縦軸を前画像のデータ、横軸を現画像のデータとしている。この発明の実施の形態では、前述したように、前画像のデー

タはRGB各8ビットのうち上位5ビットにより表されており、現画像データは8ビットにより表されている。この図4においては、各画像データを十進数により表している。

【0036】

より具体的な例を挙げ説明すると、例えば、前画像データの値が「32」であり、現画像データが「32」の場合には、画像データに変化がないため、特に補正を加える必要がなく、その交点部分のデータは、それらと同じ「32」が格納されている。前画像データが「32」で現画像データが「128」の場合には、その交点部分のデータは「150」のデータが記憶されている。これより、図5に示されるように、前画像データから現画像データに切り替わる際、一旦、「32」に相当する液晶印加電圧から、「150」に相当する液晶印加電圧が印加された後、予め定められた時間後に「128」に相当する液晶印加電圧が印加される。

【0037】

前画像データが「128」で現画像データが「32」の場合には、その交点部分のデータは「25」のデータが記憶されている。これより、前画像データから現画像データに切り替わる際、一旦、「128」に相当する液晶印加電圧より、「25」に相当する液晶印加電圧が印加された後、予め定められた時間後に「32」に相当する液晶印加電圧が印加される。

【0038】

データ比較／補正データ生成手段3として前面像データと現画像データとの関係から補正データを読み取るためのルックアップテーブルを使用した場合、前画像データRGB上位各5ビットと現画像データRGB各8ビットを比較し、補正データとしてRGB各8ビットを生成するためには、ルックアップテーブルの容量としては、 $3 \times 32 \times 256 \times 8 = 3 \times 64 \text{ Kビット} = 192 \text{ Kビット}$ となる。従って、従来に比べて、メモリ容量が低下でき、実使用上は256 Kビットメモリ1個での対応が可能となる。3個のメモリを使用する場合でもその容量は64 Kビットでよく、従来に比べてコストダウンが図れる。また、フレームメモリ2、データ比較／補正データ生成手段3間のバスライン数を24本から15本に削

減できるため、これらデバイスを搭載する回路基板の規模を縮小できると共に、設計の自由度も向上する。

【 0 0 3 9 】

さらに、従来、前面像データ 8 ビットと現画像データ 8 ビットを比較していたが、本実施の形態では前画像データ 5 ビットと現画像データ 8 ビットを比較するため、処理するデータ数を低減でき、消費電力の低減も期待できる。

【 0 0 4 0 】

また、データ比較／補正データ生成手段 3 をタイミングコントローラ 1 に内蔵した場合もタイミングコントローラ 1 に要求される内蔵メモリ容量も低減できコストダウンが図れる。

【 0 0 4 1 】

尚、本実施の形態では、5 ビット処理について述べたが、7 ビット以下の処理であれば従来技術に比べてメモリ低減効果によるコストダウン、バスライン数低減による回路基板の規模縮小及び設計自由度の向上、消費電力低減効果が期待できる。

【 0 0 4 2 】

表 1 に 7 ビット、6 ビット、5 ビット、4 ビット、3 ビット、2 ビット処理の場合のフレームメモリとして必要なメモリ容量とデータ比較／補正データ生成手段 3 としてルックアップテーブルを使用した場合のルックアップテーブルに必要なメモリ容量、タイミングコントローラとフレームメモリ間のバスライン数、フレームメモリ 2 とデータ比較／補正データ生成手段 3 間のバスライン数をまとめる。解像度は XGA (1 0 2 4 × 3 × 7 6 8) としている。尚、この表 1 では処理するビット数を RGB で同一としたが、異なっても良い。

【 0 0 4 3 】

【表 1】

	フレームメモリ容量(bit)	ルックアップテーブル容量(bit)	バスライン数(本)
8bit処理(従来)	18M	1.5M	24
7bit処理	15.75M	768k	21
6bit処理	13.5M	384k	18
5bit処理	11.25M	192k	15
4bit処理	9M	96k	12
3bit処理	6.75M	48k	9
2bit処理	4.5M	24k	6

保存、処理を行うデータのビット数の決定方法としては、液晶表示装置の階調－輝度特性をもとに、階調間の輝度差が大きい(γ 値が大きい)場合は、保存、処理を行うデータのビット数を大きくして表示を最適化し、 γ 値が小さい場合は、保存、処理するビット数を小さくしてより消費電力を低減する。

【0044】

前画像データを保存するフレームメモリとして、現在一般的な16Mビットメモリの内、SDRAMを使用した場合、そのバスライン数は16本である。表示性能的には保存するデータのビット数が多いほど望ましいが、メモリとのデータ入出力処理速度を考慮するとバスライン数以下のデータを処理することが望ましい。したがって、16MビットSDRAMを使用する場合は、RGBデータ合わせて16ビットのデータを処理することが適当である。

【0045】

例えば、XGA(1024×3×768)、RGB各8ビット表示の液晶表示装置の場合、EMI対策等を考慮して、タイミングコントローラでRGB各データを奇数画素に対応するデータOR、OG、OBと偶数画素に対応するデータER、EG、EBに分離し周波数を半分に減少させて信号線駆動回路に伝送する方法がとられていることがある。このような液晶表示装置では、OR、OG、OB、ER、EG、EB各8ビットをすべて保存するためには、

$$(1024/2) \times 6 \times 768 \times 8 = 18\text{Mビット}$$

のメモリ容量が必要である。また、データ比較／補正データ生成手段3として前画像データと現画像データとの関係から補正データを読み取るためのルックアップテーブルを使用した場合、

$$6 \times 256 \times 256 \times 8 = 3 \text{ Mビット}$$

の容量が必要である。

【 0 0 4 6 】

しかし、このような液晶表示装置に本実施の形態を適用する一例として、OR上位3ビット、OG上位3ビット、OB上位2ビット、ER上位3ビット、EG上位3ビット、EB上位2ビットの合計16ビットを処理する方法を用いた場合、フレームメモリとして必要な容量は、

$$(1024/2) \times 4 \times 768 \times 3 + (1024/2) \times 2 \times 768 \times 2 \\ = 6 \text{ Mビット}$$

であり、16Mビットメモリ1個の使用で対応でき、従来に比べてメモリ容量を低減できる。保存するデータビット数も合計で16ビットであり、メモリのバスライン数と同一であることにより、データの入出力処理も容易である。

【 0 0 4 7 】

また、データ比較／補正データ生成手段3として前画像データと現画像データとの関係から補正データを読み取るためのルックアップテーブルを使用した場合、前画像データOR上位3ビット、OG上位3ビット、OB上位2ビット、ER上位3ビット、EG上位3ビット、EB上位2ビットと現画像データOR、OG、OB、ER、EG、EB各8ビットのそれぞれを比較し補正データとしてOR、OG、OB、ER、EG、EBの各8ビットを生成するためには、ルックアップテーブルの容量としては、

$$4 \times 8 \times 256 \times 8 + 2 \times 4 \times 256 \times 8 = 80 \text{ Kビット}$$

まで低減できる。

【 0 0 4 8 】

この方法以外にも処理するビット数については、フレームメモリ2、ルックアップテーブルのデータ処理速度、バスライン数制約、コストをもとに決定することもある。また、データ比較／補正データ生成手段3をタイミングコントローラ1に内蔵した場合もタイミングコントローラ1に内蔵可能なメモリ容量、形状制約、コストをもとに決定することもある。さらには、液晶材料の物性値による違い、液晶表示装置の駆動周波数等を考慮して決定することもある。

【 0 0 4 9 】

発明の実施の形態 2.

図 6 に本実施の形態のブロック図を示す。図 6 では、解像度が XGA (1024×3×768)、256 階調表示の液晶表示装置の信号処理に関する部分のみ記載している。タイミングコントローラ 1、フレームメモリ 2、データ比較／補正データ生成手段 3 の基本動作は、従来例と同様である。本実施の形態 2 では、実施の形態 1 と同様にタイミングコントローラ 1 からフレームメモリ 2 に転送される現画像データ 12 のデータ数は RGB 各 8 ビットの内上位 5 ビットのみである。タイミングコントローラ 1 からデータ比較／補正データ生成手段 3 へ転送される現画像データ 14 のデータ数は RGB 各 8 ビットである。

【 0 0 5 0 】

本実施の形態では、新たに演算手段 7 を設けている。この演算手段 7 は、データ比較／補正データ生成手段 3 から入力された 5 ビット補正データ 15 と 8 ビット現画像データ 18 とを演算することにより、信号線駆動回路 4 に出力される 8 ビットデータ 19 を生成する。具体的には、例えば、8 ビットの現画像データ 18 の下位 3 ビットを抽出し、抽出した現画像データの下位 3 ビットを 5 ビット補正データ 15 の下位ビットに加えることにより信号線駆動回路 4 に出力するためのデータ 19 を生成する。その他にも、8 ビット現画像データ 18 に基づいて 5 ビット補正データ 15 を演算し、8 ビット補正データ 19 を生成する方法がある。

【 0 0 5 1 】

本実施の形態では、タイミングコントローラ 1 からフレームメモリ 2 に転送されるデータ数は、RGB 各 8 ビットの内上位 5 ビットのみである。これにより必要なフレームメモリ容量は、

$$1024 \times 3 \times 768 \times 5 = 3 \times 3.75 \text{ Mビット} = 11.25 \text{ Mビット}$$

となり、従来に比べて、メモリ容量が低下でき、実使用上は 16 Mビットメモリ 1 個での対応が可能となる。また、3 個のメモリを使用する場合でもその容量は 4 Mビットでよく、従来に比べてコストダウンが図れる。また、タイミングコントローラ 1、フレームメモリ 2 間のバスライン数を従来 24 本から 15 本に削

減できるため、これらデバイスを搭載する回路基板の規模を縮小できると共に、設計の自由度も向上する。

【 0 0 5 2 】

さらに、本実施の形態では、フレームメモリ 2 からデータ比較／補正データ生成手段 3 へのデータについても RGB データ各 8 ビットの内上位 5 ビットのみである。データ比較／補正データ生成手段 3 として前画像データと現画像データとの関係から補正データを読み取るためのルックアップテーブルを使用した場合、前画像データ RGB 上位各 5 ビットと現画像データ RGB 各 8 ビットを比較し、補正データとして RGB 各 5 ビットを生成するためには、ルックアップテーブルの容量としては、

$$3 \times 32 \times 256 \times 5 = 3 \times 40 \text{ k ビット} = 120 \text{ k ビット}$$

となり、従来に比べて、メモリ容量が低下でき、実使用上は 128 k ビットメモリ 1 個での対応が可能となり、従来に比べてコストダウンが図れる。また、フレームメモリ 2、データ比較／補正データ生成手段 3 間のバスライン数を 24 本から 15 本に削減できるため、これらデバイスを搭載する回路基板の規模を縮小できると共に、設計の自由度も向上する。

【 0 0 5 3 】

さらに、従来は、前画像データ 8 ビットと現画像データ 8 ビットを比較していたが、本実施の形態では前画像データ 5 ビットと現画像データ 8 ビットを比較するため、処理するデータ数を低減でき、消費電力の低減も期待できる。

【 0 0 5 4 】

本実施の形態では、データ比較／補正データ生成手段 3 及び演算手段 7 を独立に設けたが、いずれか一方または両方をタイミングコントローラ 1 に内蔵することも可能である。本実施の形態によれば、データ比較／補正データ生成手段 3 をタイミングコントローラ 1 に内蔵した場合、タイミングコントローラ 1 に要求される内蔵メモリ容量も低減できコストダウンが図れる。

【 0 0 5 5 】

表 2 にフレームメモリ 2 に転送される現画像データ、データ比較／補正データ生成手段 3 に転送される前画像データ数を 7 ビット、6 ビット、5 ビット、4 ビ

ット、3ビット、2ビットとした場合のフレームメモリ2として必要なメモリ容量とデータ比較／補正データ生成手段としてルックアップテーブルを使用した場合のルックアップテーブルに必要なメモリ容量、タイミングコントローラ1とフレームメモリ間のバスライン数、フレームメモリとデータ比較／補正データ生成手段3間のバスライン数をまとめる。解像度はXGA(1024×3×768)としている。この表では、補正データをフレームメモリ2に格納された前画像データのビット数と同じビット数のデータとしている。また、タイミングコントローラ1からデータ比較／補正データ生成手段3に入力される現画像データを8ビットデータとしている。尚、表2では処理するビット数をRGBで同一としたが、異なっても良い。

【0056】

【表2】

	フレームメモリ容量(bit)	ルックアップテーブル容量(bit)	バスライン数(本)
8bit処理(従来)	18M	1.5M	24
7bit処理	15.75M	672k	21
6bit処理	13.5M	288k	18
5bit処理	11.25M	120k	15
4bit処理	9M	48k	12
3bit処理	6.75M	18k	9
2bit処理	4.5M	6k	6

本実施の形態では、タイミングコントローラ1から演算手段7に入力される現画像データは全8ビットとしたが、一例として現画像データのRGB各8ビットの内下位3ビットを入力した場合、タイミングコントローラ1と演算手段7とのバスライン数を減少させることも可能である。

【0057】

本実施の形態では、データ比較／補正データ生成手段3へ入力されるデータの内、現画像データのビット数を8ビットとしたが、前画像データがRGB上位各5ビットであれば現画像データ数をRGB上位各5ビット～8ビットのいずれかとすることも可能であり、当然ビット数が小さいほどメモリ低減効果によるコストダウン、バスライン数低減による回路基板の規模縮小及び設計自由度の向上、消費電力低減効果は大きい。例として、前画像データがRGB上位各5ビットと

現画像データRGBの上位各5ビットをデータ比較／補正データ生成手段3へ入力する場合、ルックアップテーブルに必要なメモリ容量は、

$$3 \times 32 \times 32 \times 5 = 3 \times 5 \text{ Kビット} = 15 \text{ Kビット}$$

まで低減することが可能である。

【0058】

表3にフレームメモリ2に転送される現画像データ、データ比較／補正データ生成手段3に転送される前画像データ数を7ビット、6ビット、5ビット、4ビット、3ビット、2ビットとした場合のフレームメモリ2として必要なメモリ容量とデータ比較／補正データ生成手段としてルックアップテーブルを使用した場合のルックアップテーブルに必要なメモリ容量、タイミングコントローラ1とフレームメモリ2間のバスライン数、フレームメモリ2とデータ比較／補正データ生成手段3間のバスライン数をまとめる。この表では、補正データをフレームメモリ2に格納された前画像データのビット数と同じビット数のデータとしている。また、タイミングコントローラ1からデータ比較／補正データ生成手段3に入力される現画像データをフレームメモリ2に格納された前画像データのビット数と同じビット数のデータとしている。尚、表3では、処理するビット数をRGBで同一としたが、異なっても良い。

【0059】

【表3】

	フレームメモリ容量(bit)	ルックアップテーブル容量(bit)	バスライン数(本)
8bit処理(従来)	18M	1.5M	24
7bit処理	15.75M	336k	21
6bit処理	13.5M	72k	18
5bit処理	11.25M	15k	15
4bit処理	9M	3k	12
3bit処理	6.75M	576	9
2bit処理	4.5M	96	6

本実施の形態では、フレームメモリ2に記憶する前画像データ、データ比較／補正データ生成手段3に転送される前画像データをRGB各8ビットの内、上位各5ビットとしたが、7ビット以下であれば従来技術に比べてメモリ低減効果によるコストダウン、バスライン数低減による回路基板の規模縮小及び設計自由度

の向上、消費電力低減効果が期待できる。

【0060】

データ数をIビット($I = 2, 3, 4, 5, 6, 7$)とするとIビット～8ビットのいずれでも良く、当然ビット数が小さいほどメモリ低減効果によるコストダウン、バスライン数低減による回路基板の規模縮小及び設計自由度の向上、消費電力低減効果は大きい。

【0061】

これら処理するビット数の決定方法については前述のように液晶表示装置の γ 値から決定する方法、使用するデバイス(フレームメモリ2、データ比較/補正データ生成手段3、演算手段7、タイミングコントローラ1)のメモリ容量、形状制約、コストをもとに決定することもある。さらには、液晶材料の物性値による違い、液晶表示装置の駆動周波数等を考慮して決定することもある。

【0062】

発明の実施の形態3

これまでの実施の形態では処理するビット数を固定した場合について述べたが、例えば γ 値が可変であるような液晶表示装置の場合での実施の形態について、以下に説明する。

【0063】

図7に本実施の形態のブロック図を示す。図7の例では解像度がXGA($1024 \times 3 \times 768$)、256階調表示の液晶表示装置の信号処理に関係する部分のみ記載している。タイミングコントローラ1、フレームメモリ2、データ比較/補正データ生成手段3の基本動作は従来例と同様である。本実施の形態では、新たに γ 値可変手段8及びデータ比較/補正データ生成手段3を制御する制御手段9を設けている。 γ 値可変手段8により γ 値を可変とし、現在の γ 値に関する情報を γ 値可変手段8からフレームメモリ2、制御手段9に入力する。フレームメモリ2は、入力した γ 値情報に基づき、 γ 値が予め定めた値よりも小さい場合は、タイミングコントローラ1より入力し記憶する現画像データ12のデータ数を5ビットとし、 γ 値が予め定めた値よりも大きい場合は、タイミングコントローラ1より入力し記憶、処理する現画像データ12のデータ数を6ビットとする

。また、制御手段 9 は、入力した γ 値情報に基づき、 γ 値が予め定めた値よりも小さい場合には、データ比較／補正データ生成手段 3 に対して、フレームメモリ 2 から 5 ビットの前画像データ 1 3 を入力することを指示する制御信号 2 2 を送り、 γ 値が予め定めた値よりも大きい場合には、データ比較／補正データ生成手段 3 に対して、フレームメモリ 2 から 6 ビットの前画像データ 1 3 を入力することを指示する制御信号 2 2 を送る。データ比較／補正データ生成手段 3 は、この制御信号 2 2 に基づき所定のデータ数の前画像データ 1 3 と 8 ビットの現画像データ 1 4 を入力し、比較処理、補正データ生成処理を実行し、8 ビットの補正データ 1 5 を信号駆動回路 4 に対して出力する。信号線駆動回路 4 はこの補正データ 1 5 及び制御信号 1 6 を入力し、走査線駆動回路 5 とともに液晶パネル 6 を駆動する。

【 0 0 6 4 】

本実施の形態 1、2 よりわかるように 5 ビット処理と 6 ビット処理ではフレームメモリ 2、データ比較／補正データ生成手段 3 に必要なメモリ容量は異なり、当然 6 ビット処理の方が大きな容量を必要とする。したがって、本実施の形態ではフレームメモリ容量として

$$1024 \times 3 \times 768 \times 6 = 3 \times 4.5 \text{ Mビット} = 13.5 \text{ Mビット}$$

が必要である。データ比較／補正データ生成手段 3 として前画像データと現画像データとの関係から補正データを読み取るためのルックアップテーブルを使用した場合、ルックアップテーブルの容量としては、

$$3 \times 64 \times 256 \times 8 = 3 \times 128 \text{ kビット} = 384 \text{ kビット}$$

が必要である。これらの容量値は、従来に比べて小さく、コストダウンが図れる。

このルックアップテーブルを E E P - R O M のように書き換え可能なメモリとし、 γ 値情報をもとに、例えばマイクロコンピュータ等の制御手段を用いて、各 γ 値に対してルックアップテーブルの内容を書き換えることにより、各 γ 値に対して最適な補正データを生成できる。

【 0 0 6 5 】

このように本実施の形態 3 によれば、 γ 値が可変の液晶表示装置についても γ

値にあわせ補正データを最適化するため、それぞれの γ 値に対して最適な駆動が可能となる。また、処理するデータ数が従来と比較して少ないため、消費電力の低減が期待できる。さらに、 γ 値が小さい場合は5ビット処理を行うため、 γ 値が大きな6ビット処理を行う場合に比べて、より消費電力の低減効果大きい。

【 0 0 6 6 】

本実施の形態では、 γ 値が大と小の2値についての切替えとしたが、 γ 値が小から大の間を連続的に変化するような構成のものでは、 γ 値がある範囲にある場合は5ビット処理、別の範囲にあるときは6ビット処理と切り換えれば同様の効果が得られる。

【 0 0 6 7 】

本実施の形態では、5ビット、6ビットの2種類の切替えについて説明したが、5ビット、6ビット、7ビットのように3種またはそれ以上の種類の切替えについても、駆動条件の最適化が行える。この場合、表示上の駆動条件の最適化と消費電力の低減をより木目細かく行うことができる。

【 0 0 6 8 】

なお、 γ 値可変手段8、データ比較／補正データ生成手段3をタイミングコントローラ1に内蔵することも可能であり、本実施の形態によればデータ比較／補正データ生成手段3をタイミングコントローラ1に内蔵した場合もタイミングコントローラ1に要求される内蔵メモリ容量も低減でき、さらにはコストダウンが図れる。

【 0 0 6 9 】

発明の実施の形態4

図8に本実施の形態4のブロック図を示す。図8の例では、解像度がXGA(1024×3×768)、256階調表示の液晶表示装置の信号処理に関する部分のみ記載している。タイミングコントローラ1、フレームメモリ2、データ比較／補正データ生成手段3の基本動作は従来例と同様である。本実施の形態では、新たに γ 値可変手段8及びデータ比較／補正データ生成手段3に作用する制御手段9を設ける。 γ 値可変手段8により γ 値を可変とし、現在の γ 値に応じた処理となるようにフレームメモリ2、制御手段9に作用させる。

【0070】

フレームメモリ2は、入力した γ 値情報に基づき、 γ 値が予め定めた値よりも小さい場合は、タイミングコントローラ1より入力し記憶する現画像データ12のデータ数を5ビットとし、 γ 値が予め定めた値よりも大きい場合は、タイミングコントローラ1より入力し記憶、処理する現画像データ12のデータ数を6ビットとする。また、制御手段9は、入力した γ 値情報に基づき、 γ 値が予め定めた値よりも小さい場合には、データ比較／補正データ生成手段3に対して、フレームメモリ2から5ビットの前画像データ13を入力することを指示する制御信号22を送り、 γ 値が予め定めた値よりも大きい場合には、データ比較／補正データ生成手段3に対して、フレームメモリ2から6ビットの前画像データ13を入力することを指示する制御信号22を送る。

【0071】

さらに、新たに演算手段7を設け、データ比較／補正データ生成手段3から演算手段7に入力された5ビットまたは6ビット補正データ15と8ビット現画像データ18とを演算することにより、信号線駆動回路4に出力される8ビットデータを生成する。

【0072】

実施の形態1、2よりわかるように5ビット処理と6ビット処理ではフレームメモリ2、データ比較／補正データ生成手段3に必要なメモリ容量は異なり、当然6ビット処理の方が大きな容量を必要とする。したがって、本実施の形態ではフレームメモリ容量として

$$1024 \times 3 \times 768 \times 6 = 3 \times 4.5 \text{ Mビット} = 13.6 \text{ Mビット}$$

が必要である。データ比較／補正データ生成手段3として前面像データと現画像データとの関係から補正データを読み取るためのルックアップテーブルを使用した場合、ルックアップテーブルの容量としては、

$$3 \times 64 \times 256 \times 8 = 3 \times 128 \text{ kビット} = 384 \text{ kビット}$$

が必要である。これらの容量値は、従来に比べて小さく、コストダウンが図れる。このルックアップテーブルをEEPROMのように書き換え可能なメモリとし、 γ 値情報をもとに、例えばマイクロコンピュータ等の制御手段を用いて、各

γ 値に対してルックアップテーブルの内容を書き換えることにより、各 γ 値に対して最適な補正データを生成できる。

【 0 0 7 3 】

このように本実施の形態によれば、 γ 値が可変の液晶表示装置についても γ 値にあわせて補正データを最適化するため、それぞれの γ 値に対して最適な駆動が可能となる。また、処理するデータ数が従来と比較して少ないため、消費電力の低減も期待できる。さらに、 γ 値が小さい場合は 5 ビット処理を行うため、 γ 値が大きな 6 ビット処理を行う場合に比べて、より消費電力の低減効果が大きい。

【 0 0 7 4 】

本実施の形態では、データ比較／補正データ生成手段 3 へ入力されるデータの内、現画像データ 1 4 のビット数を 8 ビットとしたが、前画像データ 1 3 が RGB 上位各 5 ビットであれば、現画像データ 1 4 のビット数を RGB 上位各 5 ビット～8 ビットのいずれかとすることも可能である。また、前画像データ 1 3 が RGB 上位各 6 ビットであれば現画像データ数を RGB 上位各 6 ビット～8 ビットのいずれかとすることも可能である。当然ビット数が小さいほどメモリ低減効果によるコストダウン、バスライン数低減による回路基板の規模縮小及び設計自由度の向上、消費電力低減効果は大きい。

【 0 0 7 5 】

本実施の形態では、フレームメモリ 2 に記憶する前画像データ、データ比較／補正データ生成手段 3 に転送される前画像データ 1 3 を RGB 各 8 ビットの内、上位各 5 ビットまたは 6 ビットとしたが、7 ビット以下であれば従来技術に比べてメモリ低減効果によるコストダウン、バスライン数低減による回路基板の規模縮小及び設計自由度の向上、消費電力低減効果が期待できる。上述のようにこのデータ数は、フレームメモリ 2、データ比較／補正データ生成手段 3 に転送されるデータ数を I ビット ($I = 2, 3, 4, 5, 6, 7$) とすると I ビット～8 ビットのいずれでも良く、当然ビット数が小さいほどメモリ低減効果によるコストダウン、バスライン数低減による回路基板の規模縮小及び設計自由度の向上、消費電力低減効果は大きい。

【 0 0 7 6 】

本実施の形態では、 γ 値が大と小の 2 値についての切替えとしたが、 γ 値が小から大の間をリニアに変化するような構成のものでは、 γ 値がある範囲にある場合は 5 ビット処理、別の範囲にあるときは 6 ビット処理と切り換えれば同様の効果が得られる。

【 0 0 7 7 】

本実施の形態では、5 ビット、6 ビットの 2 種類の切替えについて説明したが、5 ビット、6 ビット、7 ビットのように 3 種またはそれ以上の種類の切替えについてもメモリ容量低減効果と、駆動条件の最適化が行える。この場合、表示上の駆動条件の最適化と消費電力の低減をより木目細かく行うことができる。

【 0 0 7 8 】

なお、 γ 値可変手段 8、データ比較／補正データ生成手段 3、演算手段 7 をタイミングコントローラ 1 に内蔵することも可能であり、本実施の形態によればデータ比較／補正データ生成手段 3 をタイミングコントローラ 1 に内蔵した場合もタイミングコントローラ 1 に要求される内蔵メモリ容量も低減できコストダウンが図れる。

【 0 0 7 9 】

発明の実施の形態 5.

図 9 に本実施の形態 5 にかかる液晶表示装置の信号処理に関するブロック図を示す。本実施の形態 5 では、特に、本実施の形態 1 にて説明した液晶表示装置において、RGB データを Y u v データに変換してフレームメモリ 2 に記憶し、記憶した Y u v データを RGB データに変換し、現画像データと比較して補正データを生成したものである。

【 0 0 8 0 】

図 9 に示すように、タイミングコントローラ 1 より出力された RGB 各 8 ビットの現画像データ 1 2 1 は、データ変換手段 A 3 1 に入力される。データ変換手段 A 3 1 は、入力された RGB 各 8 ビットの現画像データ 1 2 1 を Y u v 変換し、Y u v データ 1 2 2 を出力する。この Y u v データは、輝度データ Y が 6 ビット、色成分 u が 3 ビット、色成分 v が 3 ビットの 1 2 ビットデータにより構成されている。この Y u v 変換は、例えば I T U - R. B T 6 0 1 規格に準拠した計

算式を用いて実行することができる。尚、一般に人の目は、輝度分解能に比べて、色に対する分解能は低いため、RGBデータを輝度成分Yと色成分u、vに変換しても問題は生じない。

【0081】

データ変換手段A31より出力された現画像データ122は、フレームメモリ2に格納される。そして、所定のタイミングにおいて読み出され、前画像データ131として出力される。このときの前画像データ131は、12ビットのYuvデータである。当該前画像データ131は、データ変換手段B32に入力され、再度、RGBデータに変換され、出力される。この例では、当該RGBデータは、RGB各6ビットより構成される。データ比較／補正データ生成手段3においては、RGBデータに変換された前画像データとRGB各8ビットの現画像データを比較してRGB各8ビットの補正データを生成し、信号線駆動回路4に出力する。

【0082】

このように、フレームメモリ2は、データ変換手段A31により変換された後の12ビットのYuvデータを記憶するため、補正データを生成するために必要なフレームメモリ容量は、 $1024 \times 768 \times 12 = 9\text{M}$ ビットとなり、従来に比べて、メモリ容量を低減させることができる。また、データ変換手段A31とフレームメモリ2の間のバスライン数を12本に低減させることができる。ここでは、12ビットのYuvデータに変換する例について説明したが、これに限らず、23ビット以下の変換であれば、フレームメモリ2のメモリ容量及びデータ変換手段A31とフレームメモリ2間のバスライン数の低減に導くことができ、本発明の効果を奏する。次の表4にこれらの関係を示す。尚、解像度はXGA ($1024 \times 3 \times 768$)としている。

【0083】

【表 4】

	フレームメモリ容量(bit)	ハースライン数(本)
24bit処理 (従来)	18M	24
23bit処理	17.25M	23
22bit処理	16.5M	22
21bit処理	15.75M	21
20bit処理	15M	20
19bit処理	14.25M	19
18bit処理	13.5M	18
17bit処理	12.75M	17
16bit処理	12M	16
15bit処理	11.25M	15
14bit処理	10.5M	14
13bit処理	9.75M	13
12bit処理	9M	12
11bit処理	8.25M	11
10bit処理	7.5M	10
9bit処理	6.75M	9
8bit処理	6M	8
7bit処理	5.25M	7
6bit処理	4.5M	6

【0084】

尚、データ変換手段B32において、12ビットのYuvデータをRGBデータに変換する際は、そのアルゴリズムにより、RGB各4ビットからRGB各8ビットまでの任意のビット数に変換してもよい。例えば、RGB各6ビットに変換した場合には、ルックアップテーブルのメモリ容量は、 $3 \times 64 \times 256 \times 8 = 384 \text{ K}$ ビットに低減できる。また、RGBの各ビット数は、同一である必要はなく、R、G、Bのそれぞれで異なってもよい。

【0085】

ここでは、RGB各6ビットデータに変換される場合のルックアップテーブルのメモリ容量の削減効果について説明したが、これに限らず、RGBデータが23ビット以下に変換されていれば本発明の効果を奏する。表5にデータ変換手段B32においてRGBデータに変換したデータのビット数に対して、ルックアップテーブルのメモリ容量、データ変換手段B32とデータ比較/補正データ生成手段3間のバスライン数をまとめる。ここで、データ比較/補正データ生成手段3に入力される現画像データのビット数はRGB各8ビットとし、解像度はXGA ($1024 \times 3 \times 768$) としている。

【 0 0 8 6 】

【表 5】

	ルックアップテーブル容量(bit)	ハスライン数(本)
8, 8, 8bit処理 (従来)	1.5M	24
8, 8, 7bit処理	1.25M	23
8, 7, 7bit処理	1M	22
7, 7, 7bit処理	768M	21
7, 7, 6bit処理	625M	20
7, 6, 6bit処理	500M	19
6, 6, 6bit処理	384M	18
6, 6, 5bit処理	320M	17
6, 5, 5bit処理	256M	16
5, 5, 5bit処理	192M	15
5, 5, 4bit処理	160M	14
5, 4, 4bit処理	128M	13
4, 4, 4bit処理	96M	12
4, 4, 3bit処理	80M	11
4, 3, 3bit処理	64M	10
3, 3, 3bit処理	48M	9
3, 3, 2bit処理	40M	8
3, 2, 2bit処理	32M	7
2, 2, 2bit処理	24M	6

【 0 0 8 7 】

尚、データ変換手段 A 3 1、データ変換手段 B 3 2 及びデータ比較／補正データ生成手段 3 をタイミングコントローラ 1 に内蔵することもできる。

【 0 0 8 8 】

発明の実施の形態 6.

図 1 0 に本実施の形態 6 にかかる液晶表示装置の信号処理に関するブロック図を示す。本実施の形態 6 では、特に、本実施の形態 2 にて説明した液晶表示装置において、RGB データを Y u v データに変換してフレームメモリ 2 に記憶し、記憶した Y u v データを RGB データに変換し、現画像データと比較して補正データを生成したものである。

【 0 0 8 9 】

図 1 0 に示すように、タイミングコントローラ 1 より出力された RGB 各 8 ビットの現画像データ 1 2 1 は、データ変換手段 A 3 1 に入力される。データ変換手段 A 3 1 は、入力された RGB 各 8 ビットの現画像データ 1 2 1 を Y u v 変換

し、12ビットのYuvデータ122を出力する。データ変換手段A31より出力された現画像データ122は、フレームメモリ2に格納される。そして、所定のタイミングにおいて読み出され、前画像データ131として出力される。このときの前画像データ131は、12ビットのYuvデータである。当該前画像データ131は、データ変換手段B32に入力され、再度、RGB各6ビットのデータに変換され、出力される。データ比較／補正データ生成手段3においては、RGBデータに変換された前画像データとRGB各8ビットの現画像データを比較してRGB各6ビットの補正データ15を生成し、演算手段7に出力する。演算手段7は、RGB各8ビットの現画像データ18と当該RGB各6ビットの補正データ15により、本実施の形態2で説明したような演算を実行し、RGB各8ビットの補正データ19を信号線駆動回路4に出力する。

【0090】

このように、フレームメモリ2は、データ変換手段A31により変換された後の12ビットのYuvデータを記憶するため、補正データを生成するために必要なフレームメモリ容量は、 $1024 \times 768 \times 12 = 9\text{M}$ ビットとなり、従来に比べて、メモリ容量を低減させることができる。また、データ変換手段A31とフレームメモリ2の間のバスライン数を12本に低減させることができる。ここでは、12ビットのYuvデータに変換する例について説明したが、これに限らず、23ビット以下の変換であれば、フレームメモリ2のメモリ容量及びデータ変換手段A31とフレームメモリ2間のバスライン数の低減に導くことができ、本発明の効果を奏する。

【0091】

尚、データ変換手段B32において、12ビットのYuvデータをRGBデータに変換する際は、そのアルゴリズムにより、RGB各4ビットからRGB各8ビットまでの任意のビット数に変換してもよい。例えば、RGB各6ビットに変換した場合には、ルックアップテーブルのメモリ容量は、 $3 \times 64 \times 256 \times 8 = 384\text{K}$ ビットに低減できる。また、RGBの各ビット数は、同一である必要はなく、R、G、Bのそれぞれで異なってもよい。

【0092】

ここでは、RGB各6ビットデータに変換される場合のルックアップテーブルのメモリ容量の削減効果について説明したが、これに限らず、RGBデータが23ビット以下に変換されていれば本発明の効果を奏する。

【0093】

尚、データ変換手段A31、データ変換手段B32及びデータ比較／補正データ生成手段3をタイミングコントローラ1に内蔵することもできる。

【0094】

発明の実施の形態7.

本実施の形態3にて説明した液晶表示装置において、RGBデータをYuvデータに変換してフレームメモリ2に記憶し、記憶したYuvデータをRGBデータに変換し、現画像データと比較して補正データを生成してよい。この場合にも、フレームメモリ2のメモリ容量、データ変換手段A31とフレームメモリ2間のバスライン数、データ変換手段B32とデータ比較／補正データ生成手段3間のバスライン数、ルックアップテーブルのメモリ容量を各々低減させることができる。

【0095】

その他の実施の形態.

上述の例では、補正データを作成するに当たり、現画像データと直前の画像データを比較することとしたが、これに限らず、直前の画像データ及びその前の画像データ等過去の画像データと比較することにより補正データを作成してもよい。これにより、画質をより向上させることができる。

【0096】

また、上述の例では、TFT型液晶パネルについて説明したが、これに限らずパッシブ型液晶パネルであってもよく、液晶の種類については限定されるべきものではない。

尚、本実施の形態5、6、7では、データ変換手段AによりYuvデータに変換した後、再度データ変換手段BによりRGBデータに再変換しているが、これに限らず、Yuvデータに基づいて補正データを生成することも可能である。但し、この場合には、補正データをRGBデータに変換する必要がある。

【 0 0 9 7 】

【発明の効果】

第 1 の発明にかかる液晶表示装置は、階調表示するための画像データを入力し、液晶表示を実行する液晶表示装置であって、画像データを入力する画像データ入力手段と、画像データ入力手段に入力された画像データに基づき当該画像データのビット数よりも少ないビット数の画像データを記憶する画像データ記憶手段と、この画像データ入力手段に入力された現在の画像データを画像データ記憶手段に記憶された過去の画像データとに基づいて補正し、補正データを生成する補正データ生成手段と、この補正データを入力し、液晶を駆動する液晶駆動手段とを有するものなので、過去の画面データを保存する画像データ記憶手段の容量を削減することができ、コストダウンを図ることができるという効果を奏する。また、画像データ入力手段と画像データ記憶手段との間のバスライン数を減少させることができるため、これらデバイスを搭載する回路基板の規模を縮小できると共に、設計の自由度も向上する。

【 0 0 9 8 】

第 2 の発明にかかる液晶表示装置は、第 1 の発明において、画像データ記憶手段を前記画像データ入力手段に入力された画像データの上位ビットを抽出することにより表示階調ビット数よりも少ないビット数の画像データを記憶するものとしたものなので、第 1 の発明の効果に加えて、さらに複雑な構成とすることなく、記憶させるビット数を減らすことができるという効果を奏する。

【 0 0 9 9 】

第 3 の発明にかかる液晶表示装置は、第 1 又は第 2 の発明において、補正データ生成手段が過去の画像データと、現在の画像データと、補正データを関連付けた参照テーブルを有し、この参照テーブルを用いて補正データを生成することとしたものなので、特に参照テーブルのメモリ容量を低減でき、コストダウンを図れる。

【 0 1 0 0 】

第 4 の発明にかかる液晶表示装置は、第 1、第 2 又は第 3 の発明において、画像データ記憶手段にて記憶する画像データのビット数を当該液晶表示装置の階調

データと表示輝度特性に基づき設定することとしたものなので、特に輝度の変化量が小さい場合に人の目の輝度分解能は低く、輝度の変化量が大きい場合に人の目の輝度分解能は高いといった人の目の輝度分解能を反映させたビット数の設定ができ、画質を落とすことなく、メモリ容量を削減することができる。

【 0 1 0 1 】

第 5 の発明にかかる液晶表示装置は、第 3 又は第 4 の発明において、補正データ生成手段に設けられた参照テーブルを当該液晶表示装置の階調データと表示輝度特性に基づき設定するものなので、特に参照テーブルのメモリ容量を、画質を落とすことなく、削減することができる。

【 0 1 0 2 】

第 6 の発明にかかる液晶表示装置は、第 1、第 2、第 3、第 4 又は第 5 の発明において、補正データ生成手段を画像データ記憶手段に記憶された画像データのビット数と同じビット数を有する補正データを出力するものとし、さらに、補正データ生成手段より生成された補正データと現在の画像データの全部又は一部のデータとに基づき、当該現在の画像データと同じビット数の補正データを生成し液晶駆動手段に出力する演算手段を設けたものなので、特に、補正データ生成手段における処理ビット数を減少させることができる。

【 0 1 0 3 】

第 7 の発明にかかる液晶表示装置は、第 6 の発明において、補正データ生成手段を、画像データ記憶手段に記憶された画像データのビット数以上で表示階調ビット数よりも少ないビット数分の現在の画像データの上位ビットを入力し、補正データを生成するものなので、特に、補正データ生成手段における処理ビット数を減少させることができる。

【 0 1 0 4 】

第 8 の発明にかかる液晶表示装置は、第 6 又は第 7 の発明において、演算手段を、画像データ入力手段より入力された現在の画像データのビット数から補正データ生成手段において生成した補正データのビット数を差し引いた数分の現在の画像データの下位ビットを入力し、補正データを生成することとしたものなので、演算手段における処理ビット数を減少させることができる。

【 0 1 0 5 】

第 9 の発明にかかる液晶表示装置は、RGB データよりなる画像データを Y u v データに変換する第 1 のデータ変換手段と、Y u v データを RGB データに変換する第 2 のデータ変換手段とをさらに備え、第 1 のデータ変換手段は、前記画像データ入力手段に入力された画像データを Y u v データに変換し、前記画像データ記憶手段に出力し、画像データ記憶手段は、第 1 のデータ変換手段により変換された Y u v データを記憶し、第 2 のデータ変換手段は、前期画像データ記憶手段に記憶された Y u v データを過去の画像データとして前記補正データ生成手段に出力することとしたので、第 1 の発明の効果を第 2 の発明とは異なる態様により達成することができる。

【 0 1 0 6 】

第 1 0 の発明にかかる駆動用回路装置は、階調表示するための画像データを入力し、液晶表示を実行する液晶表示装置用の駆動用回路装置であって、画像データを入力する画像データ入力手段と、この画像データ入力手段に入力された画像データに基づき当該画像データのビット数よりも少ないビット数の画像データを記憶する画像データ記憶手段と、画像データ入力手段に入力された現在の画像データを画像データ記憶手段に記憶された過去の画像データとに基づいて補正し、補正データを生成する補正データ生成手段と、補正データを入力し、液晶を駆動する液晶駆動手段とを有するものなので、画像データ記憶手段の容量を低減でき、コストダウンを図れる。また、画像データ入力手段と画像データ記憶手段間のバスライン数を減少できるため、これらデバイスを搭載する回路基板の規模を縮小できると共に、設計の自由度も向上する。

【図面の簡単な説明】

【図 1】

液晶表示装置の階調－輝度特性を示す図である。

【図 2】

液晶表示装置の階調－輝度特性を示す図である。

【図 3】

本実施の形態 1 にかかる液晶表示装置の信号処理に関するブロック図である。

【図 4】

本実施の形態 1 にかかるルックアップテーブルを説明するための図である。

【図 5】

本実施の形態 1 にかかる液晶表示装置における液晶印加電圧を示す図である。

【図 6】

本実施の形態 2 にかかる液晶表示装置の信号処理に関するブロック図である。

【図 7】

本実施の形態 3 にかかる液晶表示装置の信号処理に関するブロック図である。

【図 8】

本実施の形態 4 にかかる液晶表示装置の信号処理に関するブロック図である。

【図 9】

本実施の形態 5 にかかる液晶表示装置の信号処理に関するブロック図である。

【図 10】

本実施の形態 6 にかかる液晶表示装置の信号処理に関するブロック図である。

【図 11】

従来の液晶表示装置における液晶印加電圧と液晶応答との関係を示す模式図である。

【図 12】

従来の液晶表示装置における液晶印加電圧と液晶応答との関係を示す模式図である。

【図 13】

従来の液晶表示装置の信号処理に関するブロック図である。

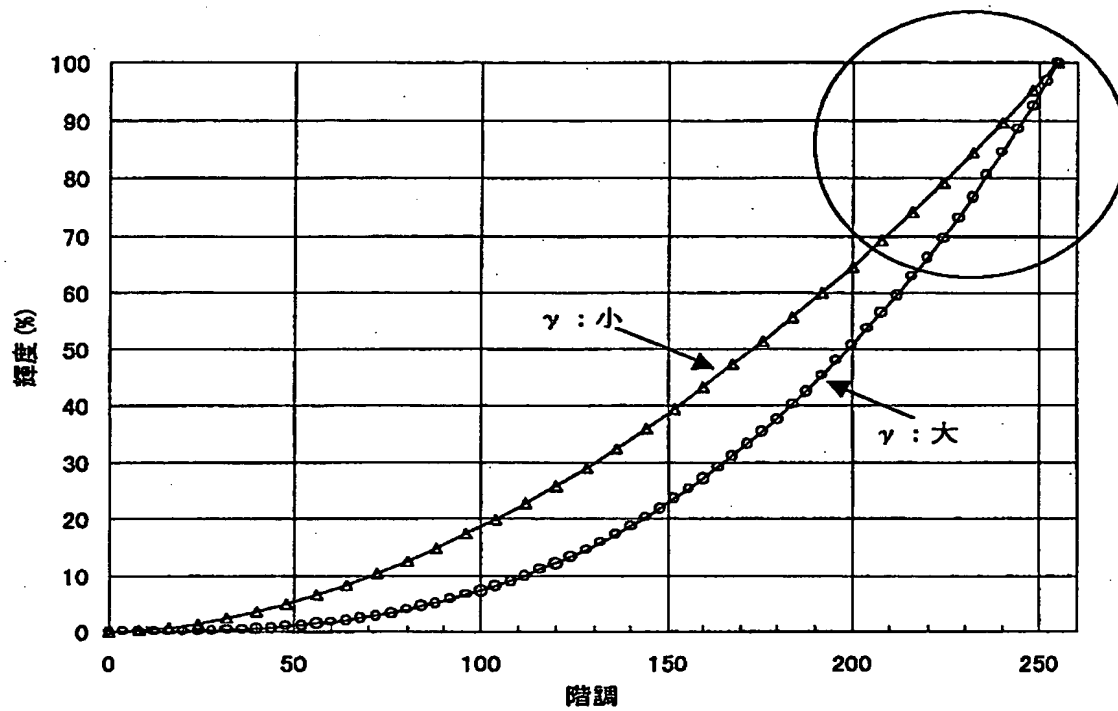
【符号の説明】

- 1 タイミングコントローラ 2 フレームメモリ
- 3 データ比較／補正データ生成手段 4 信号線駆動回路
- 5 走査線駆動回路 6 液晶パネル

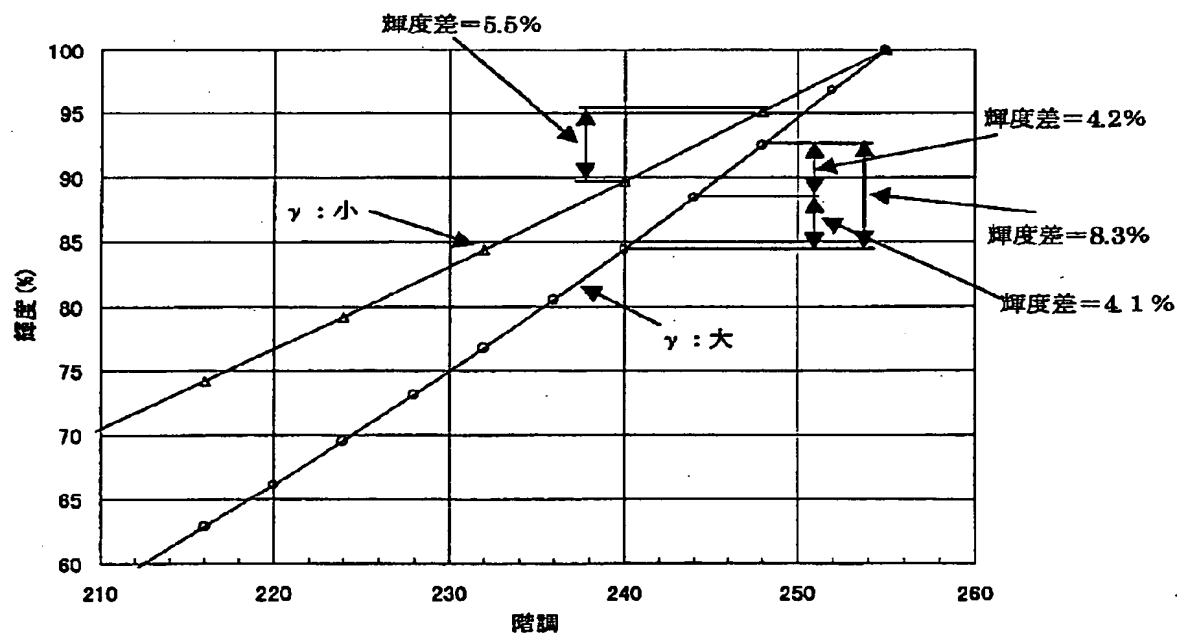
【書類名】

図面

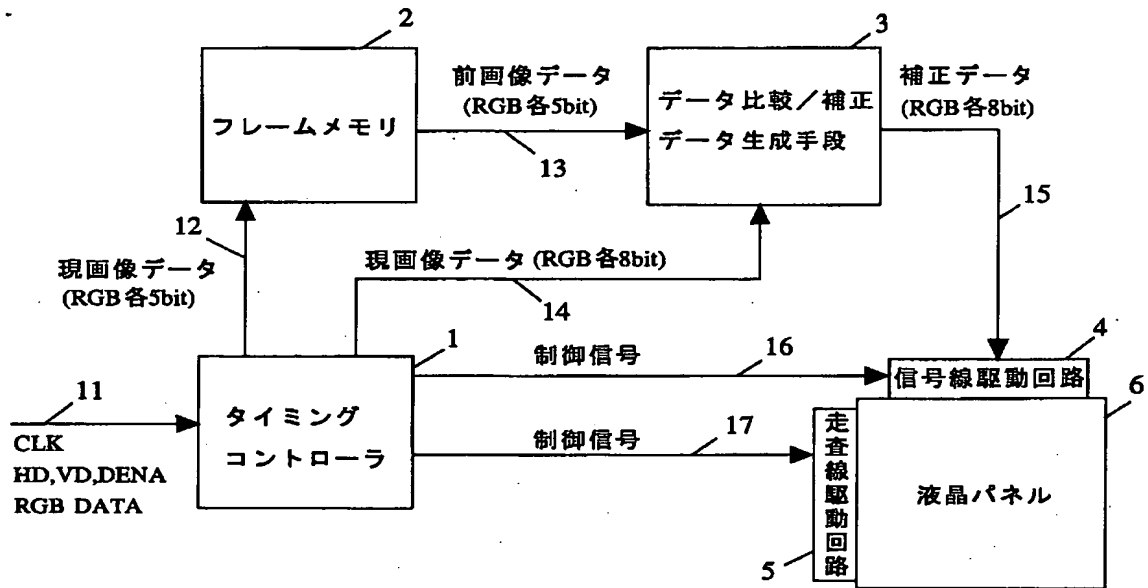
【図1】



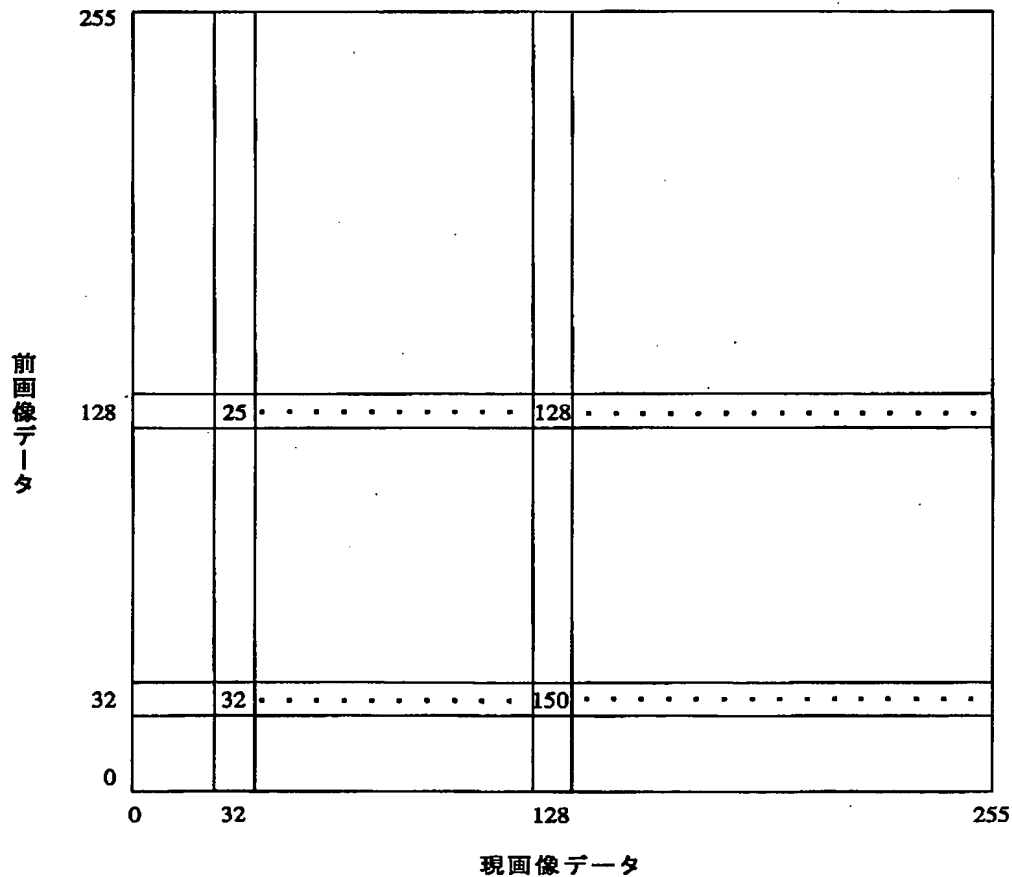
【図2】



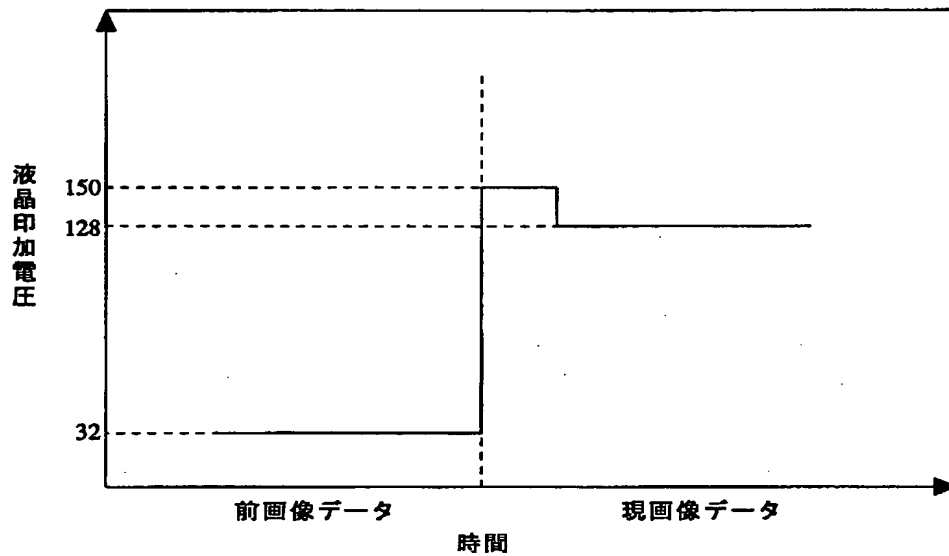
【図 3】



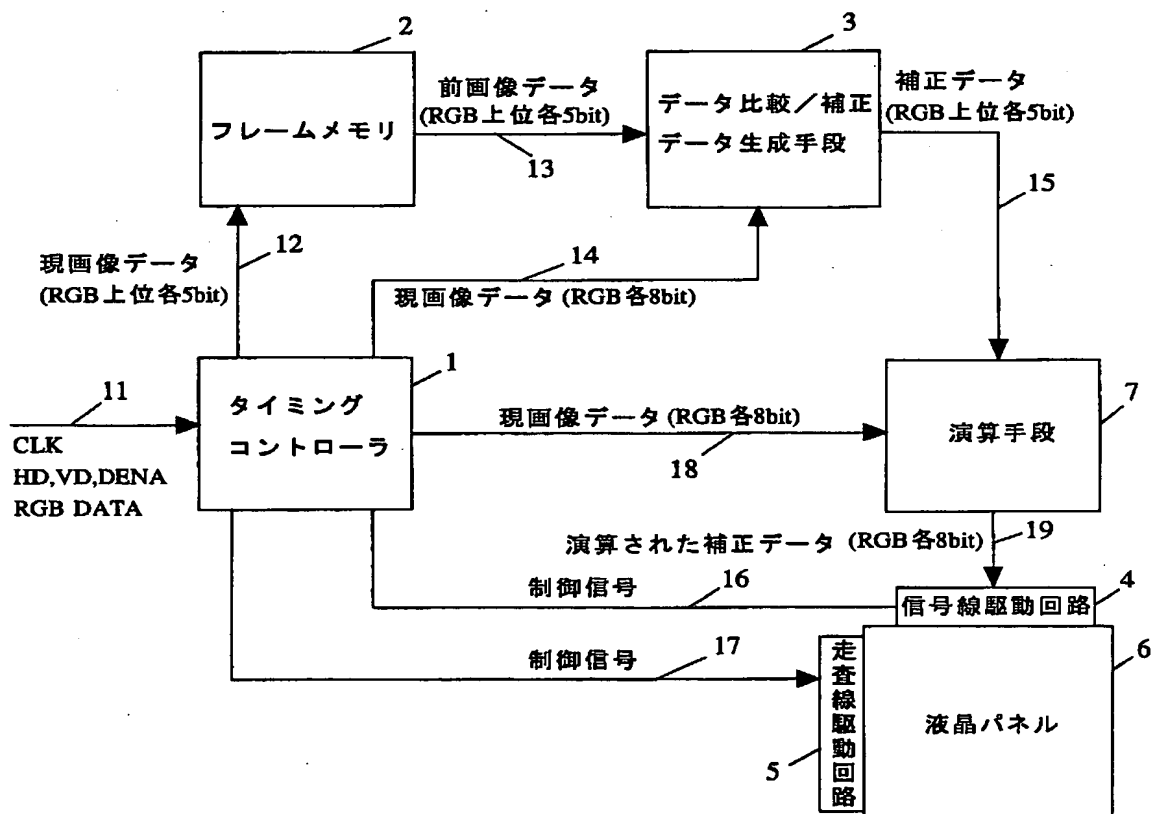
【図 4】



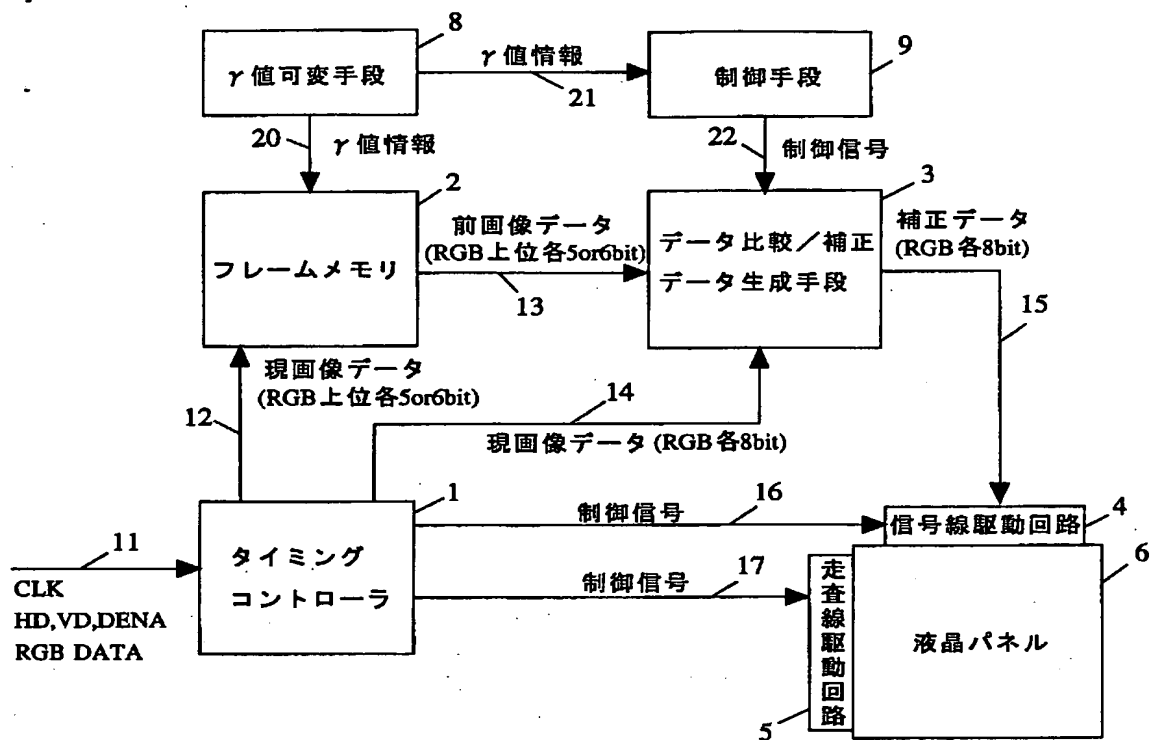
【図 5】



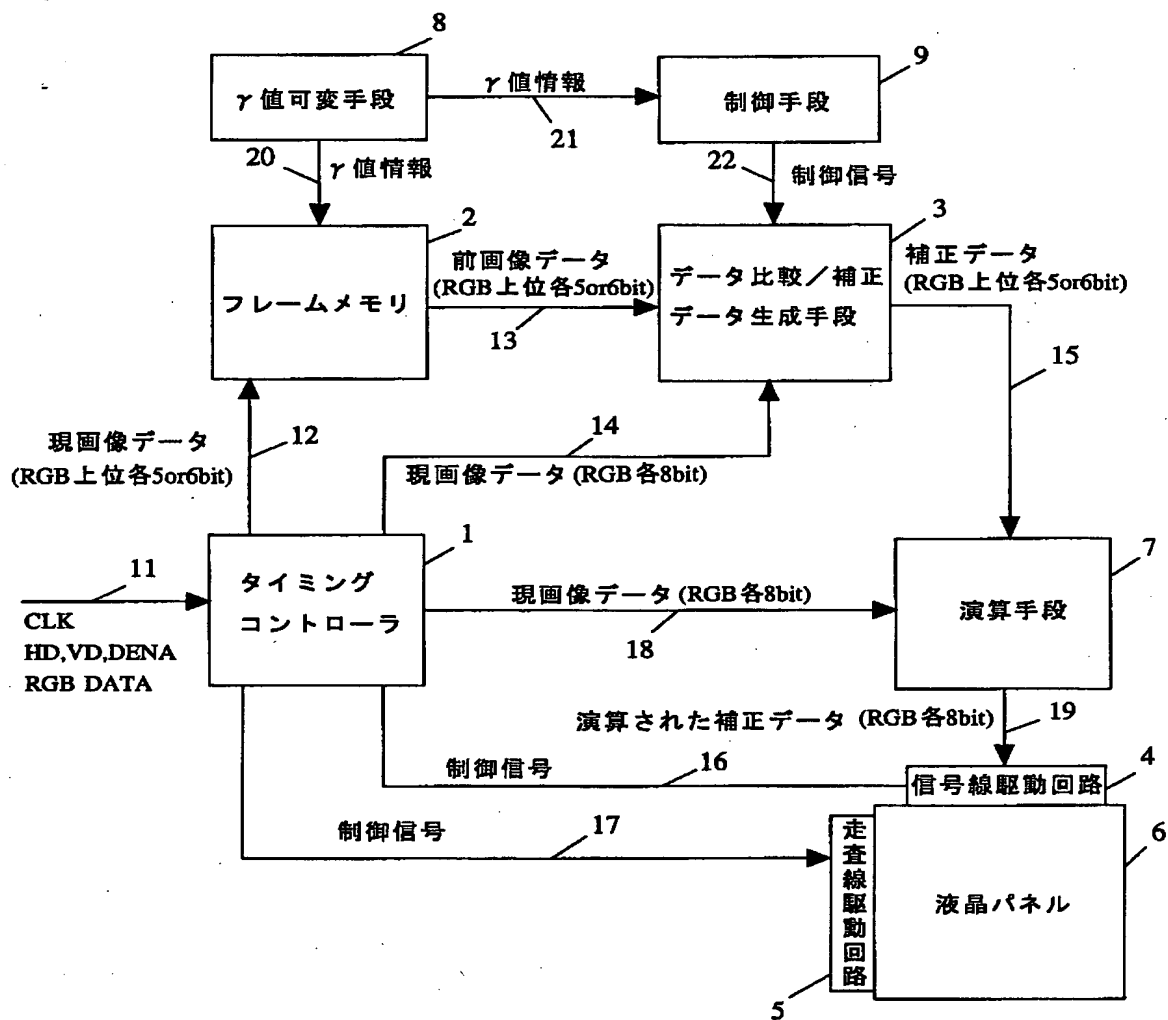
【図 6】



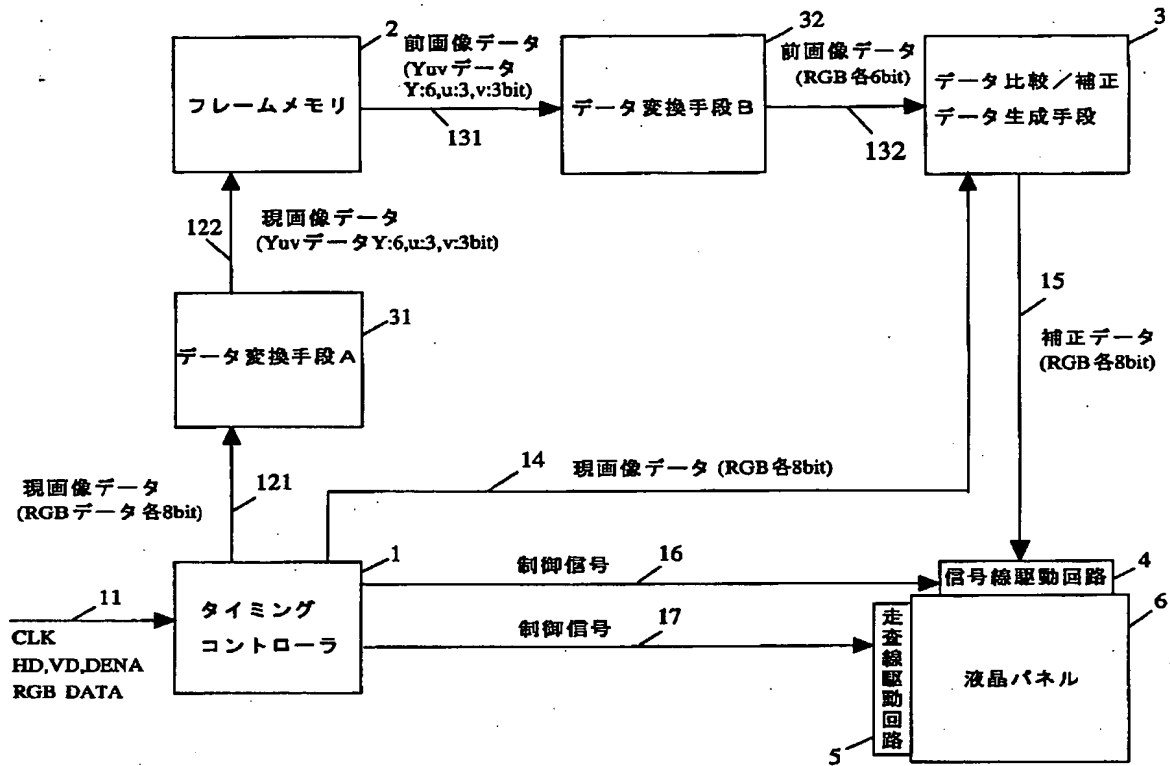
【図 7】



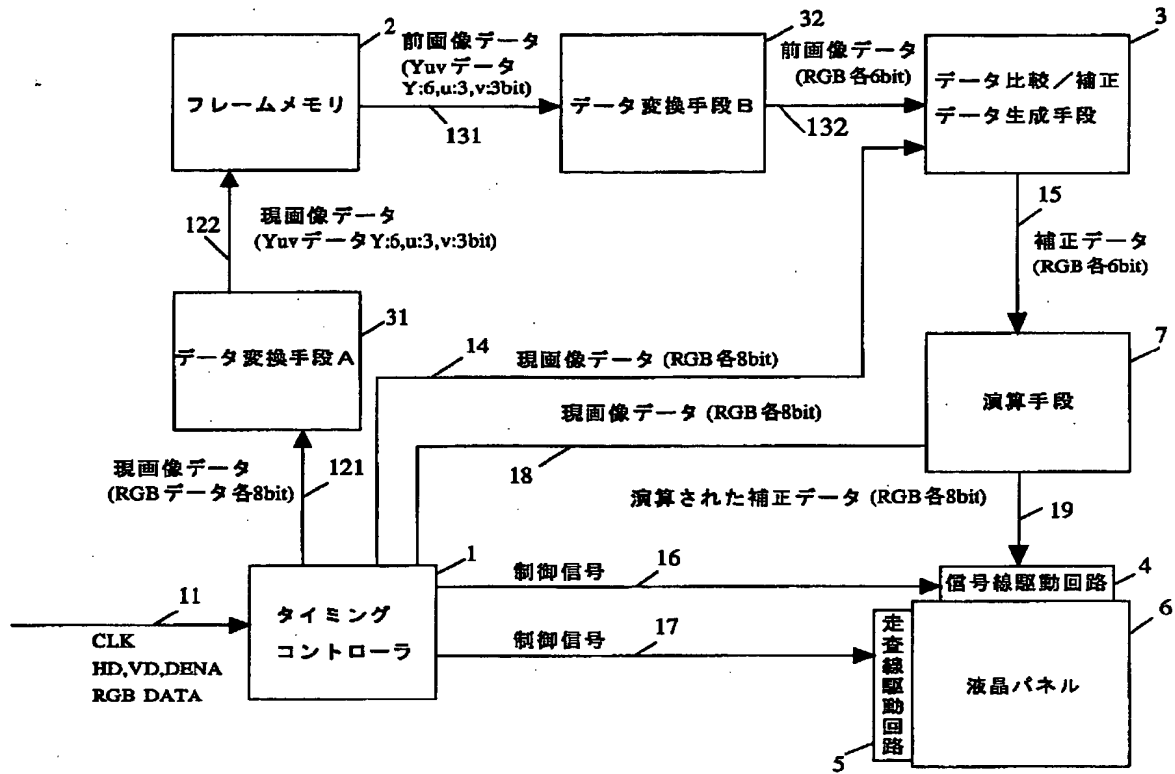
【図8】



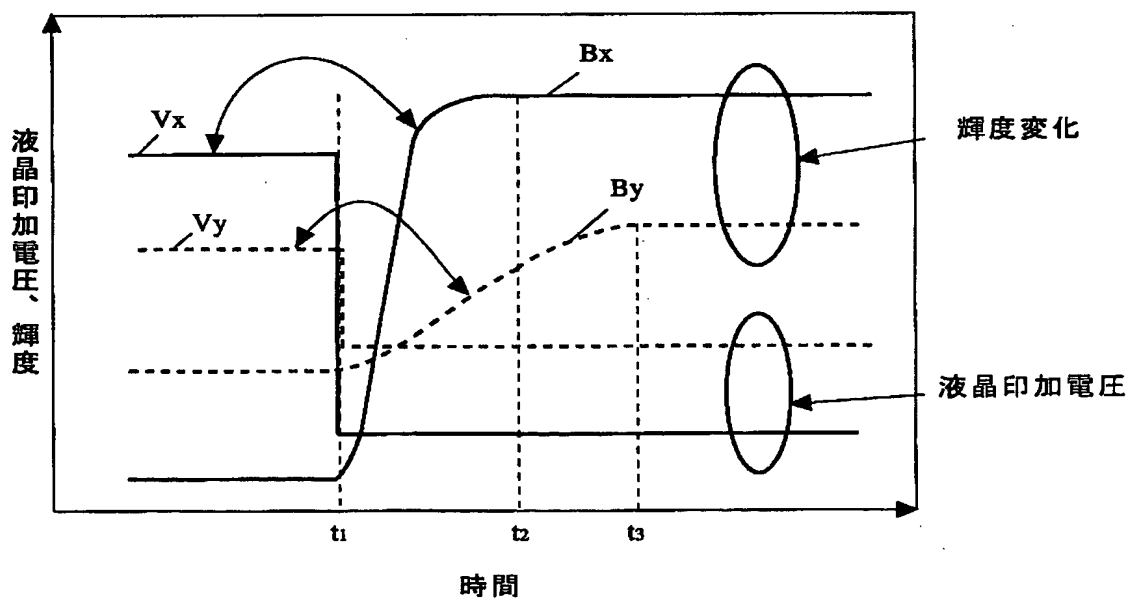
【図 9】



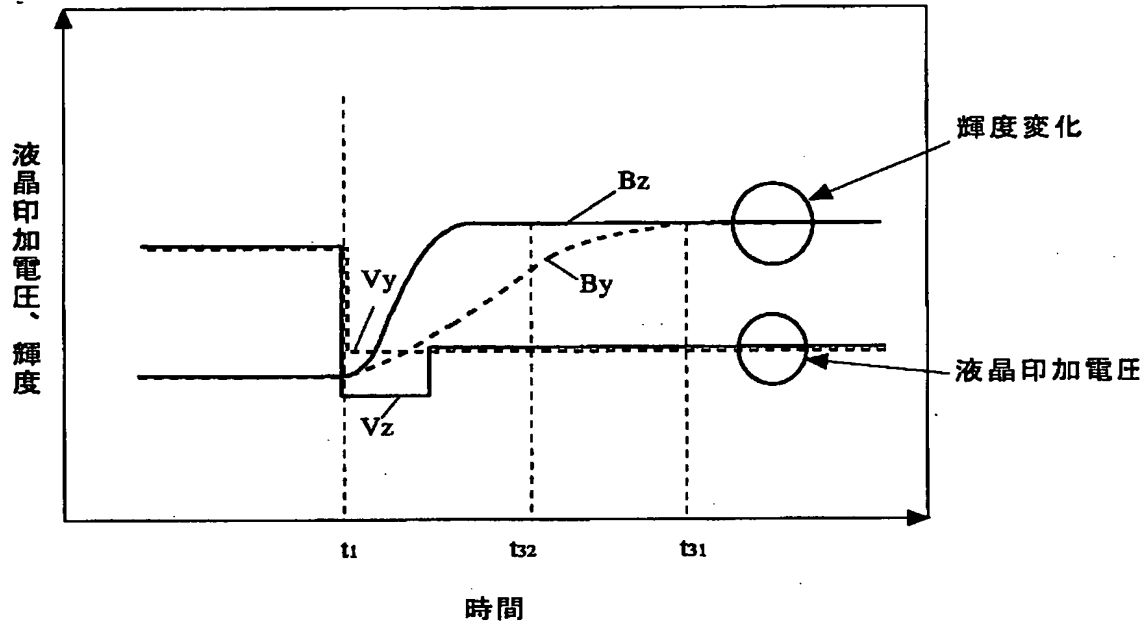
【図 10】



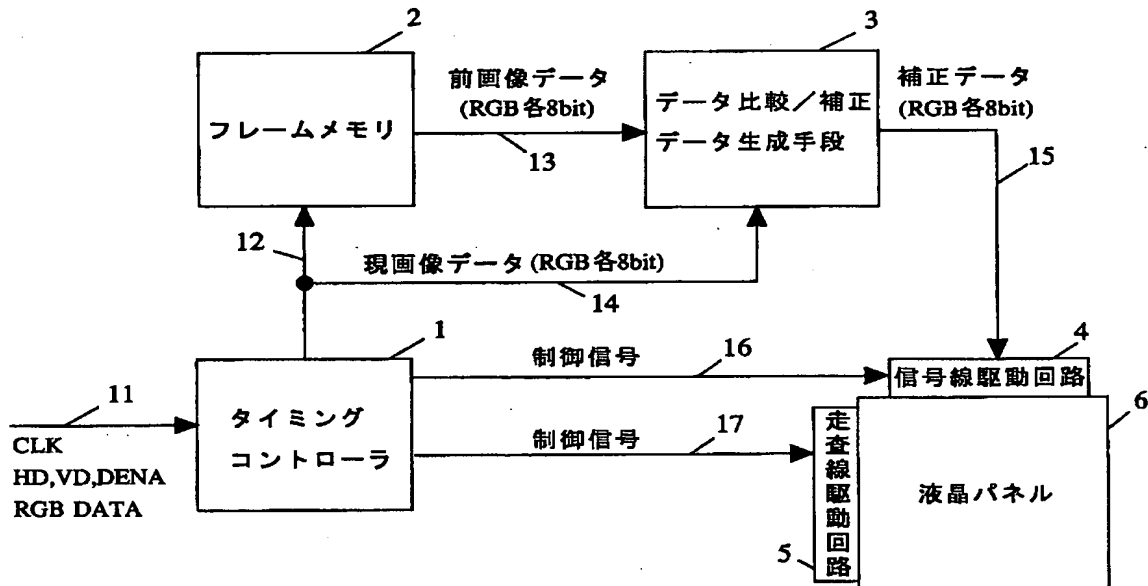
【図 11】



【図 12】



【図 13】



【書類名】 要約書

【要約】

【課題】

フレームメモリ等の画像データ記憶手段のメモリ容量を削減すること

【解決手段】

本発明にかかる液晶表示装置は、階調表示するための表示階調ビットを含む画像データを入力し、液晶表示を実行する液晶表示装置であって、画像データを入力するタイミングコントローラ 1 と、タイミングコントローラ 1 に入力された画像データに基づき表示階調ビット数よりも少ないビット数の画像データを入力し記憶するフレームメモリ 2 と、タイミングコントローラ 1 に入力された現在の画像データを、フレームメモリ 2 に記憶された過去の画像データとに基づいて補正する補正データを生成するデータ比較／補正データ生成手段 3 と、この補正データを入力し、液晶を駆動する信号線駆動回路 4 とを有する。

【選択図】 図 3

特 2 0 0 0 - 2 7 8 7 6 6

認定・付加情報

特許出願の番号	特願 2 0 0 0 - 2 7 8 7 6 6
受付番号	5 0 0 0 1 1 7 5 2 0 6
書類名	特許願
担当官	第一担当上席 0 0 9 0
作成日	平成 1 2 年 9 月 1 4 日

< 認定情報・付加情報 >

【提出日】 平成 1 2 年 9 月 1 3 日

次頁無

出 願 人 履 歴 情 報

識別番号 [595059056]

1. 変更年月日 1995年 4月21日

[変更理由] 新規登録

住 所 熊本県菊池郡西合志町御代志997番地

氏 名 株式会社アドバンスト・ディスプレイ